

L15 ANSWER 21 OF 45 JAPIO (C) 2006 JPO on STN

Full Text

AN 1989-244667 JAPIO

TI MANUFACTURE OF GALLIUM ARSENIDE FIELD EFFECT TRANSISTOR

IN KAWABATA TAKAHIRO

PA NEC CORP.

PI JP 01244667 A 19890929 Heisei

AI JP 1988-72293 (JP63072293 Showa) 19880325

PRAI JP 1988-72293 19880325

SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1989

AB PURPOSE: To enable the retaining without the exfoliation of a gate electrode, and reduce the capacitance between a gate and a source, by a method wherein, after a silicon oxide film and a silicon nitride film are deposited on a GaAs substrate, and a **T-shaped** gate electrode is formed, a source electrode and a drain electrode are formed.  
CONSTITUTION: On a GaAs substrate 1 on which an **active** layer has been formed, silicon oxide film 2, a silicon nitride film 6 and a silicon oxide

film 7 are formed in order, by chemical vapor growth. In an insulating film of gate part, an aperture is formed by anisotropic dry **etching** using a patterned photo resist 8 as a mask. By sputtering, gate metal is deposited on the whole surface. A photo resist 9 is anew arranged, and a **T-shaped** gate electrode 3 is formed by dry **etching** using the photo resist 9 as a mask. By wet **etching** of hydrofluoric acid system, the silicon oxide film 7 of upper layer and the photo resist 9 are eliminated. The silicon nitride film 6 and the silicon oxide film 2 are selectively eliminated, and a source electrode 4 and a gate electrode 5 are formed by the deposition of ohmic contact metal and selective **etching**.

COPYRIGHT: (C)1989,JPO&Japio

A

COPYRIGHT 2006 DERWENT INFORMATION LTD

**TITLE:** Mfg. method of gallium arsenide field effect transistor - by forming gate electrode by depositing and selectively removing Schottky metal joined with gallium arsenide substrate NoAbstract Dwg 1/2

**PRIORITY-DATA:** 1988JP-0072293 (March 25, 1988)

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>01244667</u>	A September 29, 1989	N/A	009	N/A

*Tabakins*

**INT-CL (IPC):** H01L021/28, H01L029/80

**ABSTRACTED-PUB-NO:**

**EQUIVALENT-ABSTRACTS:**

## ⑫ 公開特許公報(A)

平1-244667

⑤ Int. Cl.

識別記号

庁内整理番号

④ 公開 平成1年(1989)9月29日

H 01 L 29/80  
21/28  
21/316  
21/318

F-7735-5F  
F-7738-5F  
M-6824-5F

M-6824-5F 審査請求 未請求 請求項の数 1 (全3頁)

⑥ 発明の名称 砒化ガリウム電界効果型トランジスタの製造方法

⑦ 特 願 昭63-72293

⑧ 出 願 昭63(1988)3月25日

⑨ 発 明 者 川 端 隆 弘 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑩ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑪ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

砒化ガリウム電界型トランジスタの製造方法

## 2. 特許請求の範囲

砒化ガリウム基板上に酸化シリコン膜、窒化シリコン膜、酸化シリコン膜の三層を順次堆積して絶縁膜を形成する工程と、前記絶縁膜のゲート領域を選択エッチして開孔を設ける工程と、前記砒化ガリウム基板とショットヤ接合する金属を堆積、選択除去してゲート電極を形成する工程と、前記窒化シリコン膜をエッチングストッパーとしてその上の酸化シリコン膜をエッチング除去する工程と、前記窒化シリコン膜とその下の酸化シリコン膜を選択除去してオーミック接触金属を堆積、選択除去してソース電極及びドレイン電極を形成する工程とを含むことを特徴とする砒化ガリウム電界効果型トランジスタの製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は砒化ガリウム電界効果型トランジスタの製造方法に関する。

〔従来の技術〕

化合物半導体装置は、高速動作性がシリコンよりも優れているので、近年研究開発が盛んに行われ、種々の構造の半導体装置が実用化されている。特に、GaAsを主材料とするⅢ-V族化合物半導体装置についての研究開発が盛んである。

第2図は従来のGaAs-FETの一例の断面図である。

GaAs基板1の表面に酸化シリコン膜2を設け、ゲート電極を形成する部分を選択除去する。ゲート金属の蒸着、選択エッチによりゲート電極3を形成する。次に、酸化シリコン膜2を再度選択エッチングしてオーミック接触する金属の堆積、エッチングによりソース電極4、ドレイン電極5を形成する。

〔発明が解決しようとする課題〕

上述した従来のゲート絶縁膜である酸化シリコン膜2の形状は、それ自身の容量 $C_{gs}$ 、 $C_{gd}$ を持っており、この容量が大きいと低利得等の性能面で劣ったトランジスタになってしまい、素子の高性能化という点においては、この容量を低減していく必要がある。容量低減のためにはゲート絶縁膜は全部取除いた方がよいが、そうするとゲート電極の剥れ等の不良が生じるので、ゲート絶縁膜を取除くというだけでは問題は解決しない。

本発明の目的は、ゲート電極の剥れが起らないように支持し、しかもゲート・ソース間容量を低減した構造を有する砒化ガリウム電界効果型トランジスタの製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の砒化ガリウム電界効果型トランジスタの製造方法は、砒化ガリウム基板上に酸化シリコン膜、窒化シリコン膜、酸化シリコン膜の三層を順次堆積して絶縁膜を形成する工程と、前記絶縁膜のゲート領域を選択エッチして開孔を設ける工程と、前記砒化ガリウム基板とショットキ接合す

る金属をスパッタリングにより堆積し、続いてパターンニングしたホトレジスト9を新しく設け、これをマスクにしてドライエッチングを行ない、T型のゲート電極3を形成する。

次に、第1図(c)に示すように、フッ酸系のウェットエッチングにより上層の酸化シリコン膜7を除去する。そしてホトレジスト9も除去する。窒化シリコン膜6は酸化シリコン膜7の除去時におけるエッチング・ストッパーの作用をしている。これにより、窒化シリコン膜6、酸化シリコン膜2から成るゲート絶縁膜全体の厚さを薄くでき、容量 $C_{gs}$ 、 $C_{gd}$ を小さくできるのである。

次に、第1図(d)に示すように、窒化シリコン膜6、酸化シリコン膜2選択除去し、オーミック接触金属の蒸着、選択エッチによりソース電極4、ゲート電極5を形成する。

〔発明の効果〕

以上説明したように、本発明は、ゲート絶縁膜を薄く形成でき、しかもゲート電極剥れを起しにくい構造にしたので容量 $C_{gs}$ 、 $C_{gd}$ を低減するこ

る金属を堆積、選択除去してゲート電極を形成する工程と、前記窒化シリコン膜をエッチングストッパーとしてその上の酸化シリコン膜をエッチング除去する工程と、前記窒化シリコン膜とその下の酸化シリコン膜を選択除去してオーミック接触金属を堆積、選択除去してソース電極及びドレイン電極を形成する工程とを含んで構成される。

〔実施例〕

次に本発明の実施例について図面を参照して説明する。

第1図(a)～(d)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、活性層形成済み GaAs 基板1に、化学的気相成長法により酸化シリコン膜2を100nmの厚さに、窒化シリコン膜6を100nmの厚さに、酸化シリコン膜7を300nmの厚さに順次成長させる。次に、パターンニングしたホトレジスト8をマスクに異方性のドライエッチングによりゲート部の絶縁膜を開孔する。

次に、第1図(b)に示すように、全面にゲート金

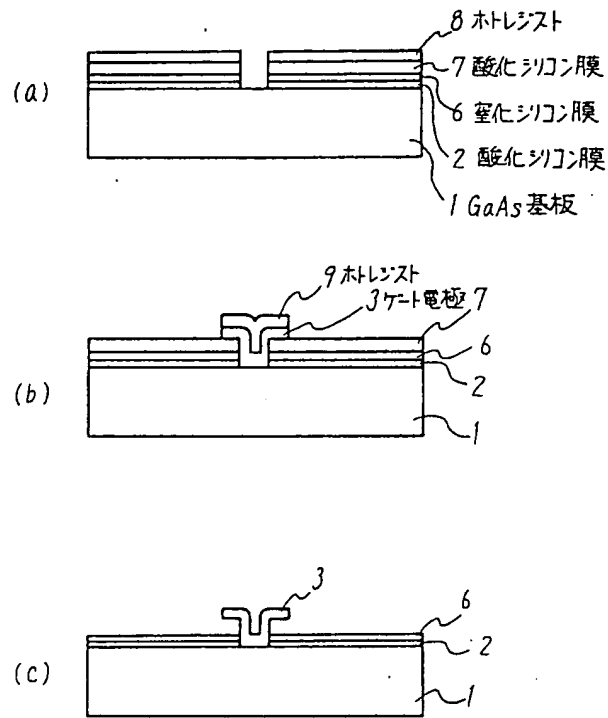
とができるという効果がある。

#### 4. 図面の簡単な説明

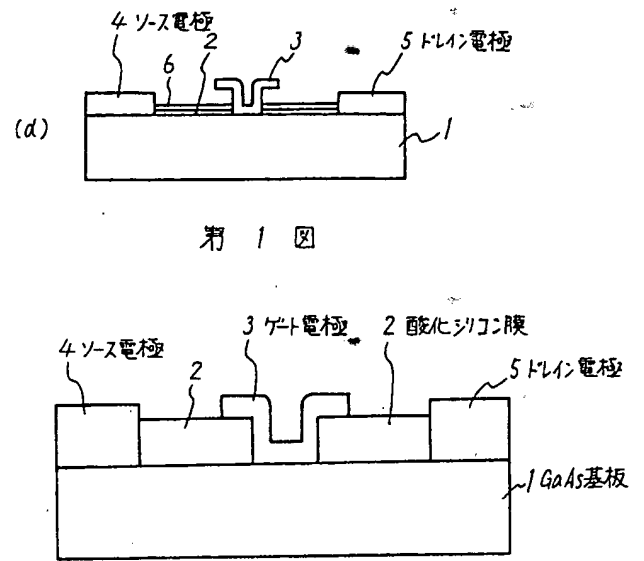
第1図(a)～(d)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図で第2図は従来の GaAs-FET の一例の断面図である。

1 …… GaAs 基板、2 …… 酸化シリコン膜、3 …… ゲート電極、4 …… ソース電極、5 …… ドレイン電極、6 …… 窒化シリコン膜、7 …… 酸化シリコン膜、8, 9 …… ホトレジスト。

代理人 弁理士 内 原 晋



第 1 図



第 2 図